

[Abstract]

[Object] The invention is to provide an active matrix array substrate that can realize a liquid crystal display element with high image reliability by a simple process.

[Structure] A plurality of scanning lines (gate lines) 2 and a plurality of signal lines (source lines) 8 are formed on an array substrate 1, and a pixel electrode 4 is disposed at each of cross-sections of the scanning lines (gate lines) 2 and the signal lines (source lines) 8 through a switching element. The scanning line (gate line) 2 is formed of aluminum (Al) or metal mainly containing aluminum and an anode oxide film 12 is coated on its surface. The scanning line (gate line) 2 is replaced by a noncorrosive metal pattern 3 crossing a line to be separated 11 from near the inner side of the line to be separated 11 of the array substrate 1.

BEST AVAILABLE COPY

(10) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-114814

(43) 公開日 平成8年(1996)5月7日

(51) Int. Cl.
G 0 2 F 1/138

識別記号
B 0 0

庁内整理番号

F. I.

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平8-247840

(22) 出願日 平成8年(1994)10月13日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 横田 智

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 宇野 光宏

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 田嶋 米治

大阪府門真市大字門真1006番地 松下電器産業株式会社内

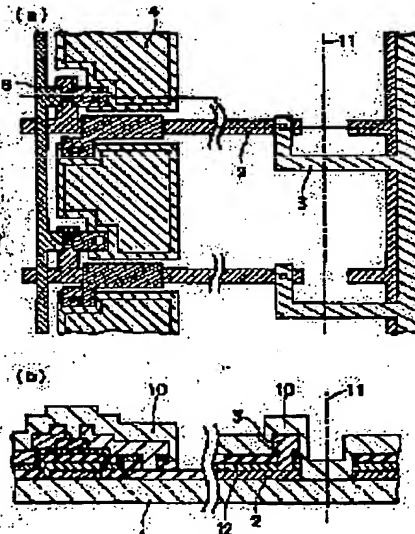
(74) 代理人 井国士 池内 寛幸 (外1名)

(54) 【発明の名称】 アクティブマトリクスアレイ基板とその製造方法

(57) 【要約】

【目的】 簡便なプロセスによって画像信頼性の高い液晶表示素子を実現することができるアクティブマトリクスアレイ基板を提供する。

【構成】 アレイ基板1の上に、複数の走査線(ゲート線)2及び複数の信号線(ソース線)8を形成すると共に、走査線(ゲート線)2と信号線(ソース線)8の各交差点にスイッチング素子を介して画素電極4を配置する。走査線(ゲート線)2をアルミニウム(A1)又はアルミニウムを主成分とする金属で形成し、かつ表面上に陽極酸化膜12を塗布する。走査線(ゲート線)2を、アレイ基板1の遮断予定線11の内側近傍から遮断予定線11を交差する非腐食性金属パターン3によって置換する。



【特許請求の範囲】

【請求項 1】 絶縁基板の一平面上に、複数の走査線（ゲート線）及び複数の信号線（ソース線）が形成されると共に、前記走査線（ゲート線）と前記信号線（ソース線）の各交差点にスイッチング素子を介して画素電極が配置され、前記走査線（ゲート線）がアルミニウム（Al）又はアルミニウムを主成分とする金属で形成されると共に、前記走査線（ゲート線）の表面上に陽極酸化膜を有し、かつ、全体が絶縁体層で覆われたアクティブマトリックスアレイ基板であって、前記走査線（ゲート線）に非腐食性金属パターンが接続されて外部に取り出され、かつ、前記走査線（ゲート線）と前記非腐食性金属パターンとの接続点が前記絶縁体層の内部に存することを特徴とするアクティブマトリックスアレイ基板。

【請求項 2】 非腐食性金属パターンの材料が信号線（ソース線）の材料であるチタン（Ti）又はタンタル（Ta）である請求項 1 に記載のアクティブマトリックスアレイ基板。

【請求項 3】 絶縁基板の一平面上に、複数の走査線（ゲート線）及び複数の信号線（ソース線）が形成されると共に、前記走査線（ゲート線）と前記信号線（ソース線）の各交差点にスイッチング素子を介して画素電極が配置され、前記走査線（ゲート線）がアルミニウム（Al）又はアルミニウムを主成分とする金属で形成されると共に、前記走査線（ゲート線）の表面上に陽極酸化膜を有し、かつ、全体が絶縁体層で覆われたアクティブマトリックスアレイ基板であって、前記走査線（ゲート線）に前記信号線（ソース線）と同時に形成されるパターンを介して非腐食性金属パターンが接続されて外部に取り出され、かつ、前記信号線（ソース線）と同時に形成されるパターンと前記非腐食性金属パターンとの接続点が前記絶縁体層の内部に存することを特徴とするアクティブマトリックスアレイ基板。

【請求項 4】 非腐食性金属パターンが画素電極の材料であるITO（ $\text{InOx}-\text{SnOx}$ ）である請求項 3 に記載のアクティブマトリックスアレイ基板。

【請求項 5】 絶縁基板の一平面上に、複数の走査線（ゲート線）及び複数の信号線（ソース線）が形成されると共に、前記走査線（ゲート線）と前記信号線（ソース線）の各交差点にスイッチング素子を介して画素電極が配置され、前記走査線（ゲート線）がアルミニウム（Al）又はアルミニウムを主成分とする金属で形成されると共に、前記走査線（ゲート線）の表面上に陽極酸化膜を有し、かつ、全体が絶縁体層で覆われたアクティブマトリックスアレイ基板の製造方法であって、絶縁基板の一平面上に走査線（ゲート線）を短絡状態で形成した後、陽極酸化工程前にアクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差するように前記走査線（ゲート線）上の一部にレジストを塗布し、信号線（ソース線）形成工程のエッチングによ

って前記走査線（ゲート線）の一部を除去した後、前記走査線（ゲート線）を、前記アクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差する非腐食性金属パターンによって置換することと特徴とするアクティブマトリックスアレイ基板の製造方法。

【請求項 6】 画素電極を形成する工程によって非腐食性金属パターンを形成する請求項 5 に記載のアクティブマトリックスアレイ基板の製造方法。

【請求項 7】 信号線（ソース線）を形成する工程によって非腐食性金属パターンを形成する請求項 5 に記載のアクティブマトリックスアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像表示のためのディスプレイなどとして用いることのできる液晶表示素子のアクティブマトリックスアレイ基板とその製造方法に関するものである。

【0002】

【従来の技術】 現在、液晶を用いた表示素子は、ビデオカメラのビューファインダーやポケットTVさらには高精細型TV、パソコン、ワープロなどの情報表示端末など、種々の分野で応用されてきており、開発、商品化が活発に行われている。その中で代表的なものとしてアクティブマトリックス型の液晶表示素子があり、カラー化、高画質化を実現することができることから、非常に注目されている。これは、マトリックス上に配置された画素電極にそれぞれスイッチング素子を設けたものであり、それらのスイッチング素子を介して各画素電極に液晶の光学特性を制御する電気信号を独立に供給することができるようにされている。尚、スイッチング素子としては、薄膜トランジスタ（TFT）を用いたものが主流である。

【0003】 このアクティブマトリックス型の方式は、大音量の表示を行っても高いコントラストを保つことができるという大きな特徴を有しており、特に近年、市場要望の極めて高いラップトップパソコンやノートパソコン、さらには、エンジニアリングワークステーション用の大型・大音量フルカラーディスプレイの本命として開発、商品化が盛んに行われている。

【0004】 図 1 に、アクティブマトリックスアレイ基板を用いて作製した液晶表示素子の一般的な例として、従来の薄膜トランジスタ基板を用いた液晶表示素子の構成図を示す。図 1-1 において、1-6 は光源を示している。薄膜トランジスタアレイ基板（TFTアレイ基板）1-7 の上には、複数の走査線（ゲート線）1-8 と複数の信号線（ソース線）1-9 の各交差点に対応して画素電極 2-0 と薄膜トランジスタ（TFT）2-1 とが形成されている。また、2-2 は液晶層を示している。2-3 は、透明電極 2-4 及びマトリックス状の遮光層（ブラックマトリックス）2-5 が形成された対向ガラス基板を示し

ている。26は、TFTアレイ基板17及び対向ガラス基板23の外側に配置された偏光板である。この液晶表示素子の大容量化に伴う信号の高速化による信号の歪みや、大画面化による配線末端部での信号の歪みが生じるが、それを解決するには低抵抗の配線材料を用いる必要がある。主にアルミニウムやアルミニウムを主成分とする金属が配線材料として使用されている。

【0005】TFTアレイ基板17を用いた液晶表示素子の組立工程において、液晶層22の液晶分子を所定の方向に配向させるために、完成したTFTアレイ基板17及び対向ガラス基板23の上に配向膜を塗布し、その表面を所定の方向に布で擦ってラビング処理を施す。しかし、このラビング処理の摩擦によって静電気が発生し、液晶トランジスタ(TFT)21が破壊されてしまう。この静電破壊を防止するために、図12に示すように、走査線(ゲート線)18と信号線(ソース線)19とを各々一括して接続することにより、静電気を分散させる方式を採っている。また、走査線(ゲート線)18と信号線(ソース線)19との短絡検査を一括して行うためにも、図12のように各配線を接続することが必要である。図12中、27は、液晶表示素子を組み立てた後、短絡されたゲート線18及びソース線19を分離するために、基板周辺を切り落とす基板切断線を示している。

【0006】加えて、上記した液晶トランジスタの一部材であるゲート絶縁膜の形成方法として、陽極酸化の方法が採られている。これは、プラスの電圧を印加したゲート金属であるアルミニウムとマイナスの電圧を印加した安定金属電極を、電解質溶液に漬けると、プラス側のアルミニウムが酸化され、これが絶縁膜(酸化アルミニウム Al_2O_3)になるプロセスであり、室温程度の低温で酸化が可能で、欠陥の少ない緻密な絶縁膜を得ることができ、しかも膜厚の制御性に優れるなど、多くの利点を有している。ゲート線を一括して陽極酸化しなければならないが、そのためにはガラス基板上に設けた電流供給配線に全てのゲート線を短絡する必要がある。そのゲートパターンの様子を図13に示す。アレイ基板17の上に、化成電流供給ライン28とゲート線18がフォトリソグラフィ技術によって形成されている。

【0007】

【発明が解決しようとする課題】しかし、従来の構成では、陽極酸化工程やTFTの静電破壊防止上の理由から、基板切断後に、ゲート線を形成するアルミニウム又はソース線を形成するアルミニウムが基板端面において露出する構造となっている。このため、液晶表示素子完成後の時間経過と共に空気中の水分の影響で、基板の端面において露出したアルミニウムからなるゲート配線の腐食が起こり、その範囲が徐々に広がって、最終的には液晶が充填されている画像表示部にまで及ぶ。その結果、液晶層に不純物が混入したり、液晶が外部に流出す

るなど、致命的な問題が生じている。

【0008】本発明は、従来技術における前記課題を解決するため、簡便なプロセスによって画像信頼性の高い液晶表示素子を実現することができるアクティブマトリックスアレイ基板とその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明に係るアクティブマトリックスアレイ基板の第1の構成は、絶縁基板の一平面上に、複数の走査線(ゲート線)及び複数の信号線(ソース線)が形成されると共に、前記走査線(ゲート線)と前記信号線(ソース線)の各交差点にスイッチング素子を介して画素電極が配置され、前記走査線(ゲート線)がアルミニウム(A1)又はアルミニウムを主成分とする金属で形成されると共に、前記走査線(ゲート線)の表面上に陽極酸化膜を有し、かつ、全体が絶縁体層で覆われたアクティブマトリックスアレイ基板であって、前記走査線(ゲート線)に非腐食性金属パターンが接続されて外部に取り出され、かつ、前記走査線(ゲート線)と前記非腐食性金属パターンとの接続点が前記絶縁体層の内部に存することを特徴とする。

【0010】また、前記本発明の第1の構成においては、非腐食性金属パターンが信号線(ソース線)の材料であるチタン(Ti)又はタンタル(Ta)であるのが好ましい。

【0011】また、本発明に係るアクティブマトリックスアレイ基板の第2の構成は、絶縁基板の一平面上に、複数の走査線(ゲート線)及び複数の信号線(ソース線)が形成されると共に、前記走査線(ゲート線)と前記信号線(ソース線)の各交差点にスイッチング素子を介して画素電極が配置され、前記走査線(ゲート線)がアルミニウム(A1)又はアルミニウムを主成分とする金属で形成されると共に、前記走査線(ゲート線)の表面上に陽極酸化膜を有し、かつ、全体が絶縁体層で覆われたアクティブマトリックスアレイ基板であって、前記走査線(ゲート線)に前記信号線(ソース線)と同時に形成されるパターンを介して非腐食性金属パターンが接続されて外部に取り出され、かつ、前記信号線(ソース線)と同時に形成されるパターンと前記非腐食性金属パターンとの接続点が前記絶縁体層の内部に存することを特徴とする。

【0012】また、前記本発明の第2の構成においては、非腐食性金属パターンが画素電極の材料であるITO(InO_x-SnO_x)であるのが好ましい。また、本発明に係るアクティブマトリックスアレイ基板の製造方法は、絶縁基板の一平面上に、複数の走査線(ゲート線)及び複数の信号線(ソース線)が形成されると共に、前記走査線(ゲート線)と前記信号線(ソース線)の各交差点にスイッチング素子を介して画素電極が配置

され、前記走査線（ゲート線）がアルミニウム（Al）又はアルミニウムを主成分とする金属で形成され、かつ表面上に陽極酸化膜を有してなるアクティブマトリックスアレイ基板の製造方法であって、絶縁基板の一面上に走査線（ゲート線）を短絡状態で形成した後、陽極酸化工程前にアクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差するように前記走査線（ゲート線）上にレジストを塗布し、信号線（ソース線）形成工程のエッチングによって前記走査線（ゲート線）の一部を除去した後、前記走査線（ゲート線）を、前記アクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差する非腐食性金属パターンによって置換することを特徴とする。

【0013】また、前記本発明方法の構成においては、画素電極を形成する工程によって非腐食性金属パターンを形成するのが好ましい。また、前記本発明方法の構成においては、信号線（ソース線）を形成する工程によって非腐食性金属パターンを形成するのが好ましい。

【0014】

【作用】前記本発明の第1の構成によれば、アルミニウム（Al）又はアルミニウムを主成分とする金属で形成された走査線（ゲート線）に非腐食性金属パターンが接続されて外部に取り出され、かつ、前記走査線（ゲート線）と前記非腐食性金属パターンとの接続点が絶縁体層の内部に存するようにされていることにより、走査線（ゲート線）を形成するアルミニウム又はアルミニウムを主成分とする金属が外部に露出することはないので、長時間経過しても基板端面で配線の腐食が発生することはない。その結果、信頼性の高い液晶表示素子を提供することができる。

【0015】また、前記本発明の第1の構成において、非腐食性金属パターンが信号線（ソース線）の材料であるチタン（Ti）又はタンタル（Ta）であるという好ましい構成によれば、スパッタリング法によって信号線（ソース線）と非腐食性金属パターンを同時にパターン形成することができるので、アクティブマトリックスアレイ基板の製造工程数を削減することができる。

【0016】また、前記本発明の第2の構成によれば、アルミニウム（Al）又はアルミニウムを主成分とする金属で形成された走査線（ゲート線）に信号線（ソース線）と同時に形成されるパターンを介して非腐食性金属パターンが接続されて外部に取り出され、かつ、前記信号線（ソース線）と同時に形成されるパターンと前記非腐食性金属パターンとの接続点が絶縁体層の内部に存するようにされていることにより、信号線（ソース線）にもアルミニウム（Al）又はアルミニウムを主成分とする金属を用いることができるので、さらに大容量・大画面のアクティブマトリックスアレイ基板に適用することが可能となる。

【0017】また、前記本発明の第2の構成において、

非腐食性金属パターンが画素電極の材料であるITO（ $\text{InOx}-\text{SnOx}$ ）であるという好ましい構成によれば、スパッタリング法によって画素電極と非腐食性金属パターンを同時にパターン形成することができるので、アクティブマトリックスアレイ基板の製造工程数を削減することができる。

【0018】また、前記本発明方法の構成によれば、絶縁基板の主平面上に走査線（ゲート線）を短絡状態で形成した後、陽極酸化工程前にアクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差するように前記走査線（ゲート線）上にレジストを塗布し、信号線（ソース線）形成工程のエッチングによって前記走査線（ゲート線）の一部を除去した後、前記走査線（ゲート線）を、前記アクティブマトリックスアレイ基板の割断予定線の内側近傍から割断予定線を交差する非腐食性金属パターンによって置換するようにしたことにより、基板割断予定線でカットしても、走査線（ゲート線）を形成するアルミニウム又はアルミニウムを主成分とする金属が外部に露出することのないアクティブマトリックスアレイ基板を効率良く合理的に作製することができる。

【0019】また、前記本発明方法の構成において、画素電極を形成する工程によって非腐食性金属パターンを形成するという好ましい構成によれば、アクティブマトリックスアレイ基板の製造工程数を削減することができる。

【0020】また、前記本発明方法の構成において、信号線（ソース線）を形成する工程によって非腐食性金属パターンを形成するという好ましい構成によれば、アクティブマトリックスアレイ基板の製造工程数を削減することができる。

【0021】

【実施例】以下、実施例を用いて本発明をさらに具体的に説明する。

その第1の実施例>図1～図5は本発明の第1の実施例の薄膜トランジスタアレイ基板の作製工程図である。また、図1～図5の各（b）は図1～図5の各（a）の一点鎖線での断面図である。

【0022】まず、図1に示すように、アレイ基板1の上に、スパッタリング法によってITO（ $\text{InOx}-\text{SnOx}$ ）を堆積させて、画素電極4をパターン形成した後、アルミニウムを用いてゲート線2を短絡状態で形成した。次いで、図2に示すように、フォトリソ13を非陽極酸化膜領域、すなわちゲート線2と非腐食性金属パターン3（図4参照）との接続部分及び基板割断予定線11の近傍のゲート線2の除去部分に塗布した。そして、この状態で、過硫酸アンモニウム水溶液とエチレングリコールの混合液中で短絡したゲート線2に電圧を印加し、ゲート線2の上に陽極酸化膜12を形成した。この場合、ゲート線2の上のフォトリソ13を塗布

した部分は化成液に接触しないため、この部分には陽極酸化膜12が形成されない。次いで、図3に示すように、フォトリソスト13を除去した後、各々窒化シリコン(Si_3N_4)、アモルファスシリコン(a-Si)、窒化シリコン(Si_3N_4)をプラズマCVD法によって順次堆積させることにより、第1絶縁体層5、半導体層6、第2絶縁体層7を順に積層した。尚、この場合、第2絶縁体層7のみをパターン化した。その後、第1絶縁体層5、半導体層6をドライエッチングすることによって開口部14を設け、ゲート線2を形成するアルミニウムを露出させた。次いで、図4に示すように、スパッタリング法によって非腐食性金属であるチタン(Ti)を堆積させることにより、ソース電極8、ドレイン電極9及び非腐食性金属パターン3を同時にパターン形成した。このようにソース電極8を形成する工程によって非腐食性金属パターン3を形成するようにしたので、液晶表示素子の製造工程数を削減することができる。尚、この時のエッチングによって基板切断予定線11の近傍にあるアルミニウムが除去される。最後に、図5に示すように、第3絶縁体層10を成膜し、パターン化した。その結果、図5のようにゲート線2の端面が第3絶縁体層10によって覆われ、基板切断予定線11でカットしても、ゲート線2のアルミニウムが外部に露出しない構成となった。

【0023】以上のような構成を有する薄膜トランジスタアレイ基板と対向ガラス基板とを組み合わせ、ガラス基板の切断後に液晶注入を行い液晶表示素子を作製した。そして、この液晶表示素子の高温動作試験を行い、従来の薄膜トランジスタアレイ基板で作製した液晶表示素子と比較評価した。その結果、基板端面にアルミニウムが露出している従来の液晶表示素子の場合には、100時間が経過した時点ですでに基板端面においてゲート線(アルミニウム)の腐食が発生した。しかし、本実施例の場合には、2000時間経過してもゲート線(アルミニウム)の腐食は発生せず、信頼性の高い液晶表示素子を作製することができた。

【0024】尚、本実施例においては、ソース電極8の材料としてチタン(Ti)を用いた場合を例に挙げて説明したが、必ずしもこれに限定されるものではなく、例えばタンタル(Ta)を用いても同様の結果を得ることができる。

【0025】＜第2の実施例＞図6～図10は本発明の第2の実施例の薄膜トランジスタアレイ基板の作製工程図である。また、図6～図10の各(b)は図6～図10(a)の一点鎖線での断面図である。

【0026】まず、図6に示すように、アレイ基板1の上に、スパッタリング法によってITO($\text{In}_2\text{O}_3-\text{SnO}_2$)を堆積させて、非腐食性金属パターン3と画素電極4を同時にパターン形成した後、アルミニウムを用いてゲート線2を短絡状態で形成した。このように画素

電極4を形成する工程によって非腐食性金属パターン3を形成するようにしたので、液晶表示素子の製造工程数を削減することができる。次いで、図7に示すように、フォトリソスト13を非陽極酸化膜領域、すなわちゲート線2とコンタクト金属パターン15(図9参照)との接続部分及び基板切断予定線11の近傍のゲート線2の除去部分に塗布した。そして、この状態で、第1の実施例と同様の化成液中で短絡したゲート線2に電圧を印加し、ゲート線2の上に陽極酸化膜12を形成した。この場合、ゲート線2及び非腐食性金属パターン3の上のフォトリソスト13を塗布した部分は化成液に接触しないため、この部分には陽極酸化膜12が形成されない。次いで、図8に示すように、フォトリソスト13を除去した後、第1絶縁体層5、半導体層6、第2絶縁体層7を順に積層した。材料及び形成方法は第1の実施例と同様である。その後、非陽極酸化膜領域上の第1絶縁体層5、半導体層6をドライエッチングすることによって開口部14を設け、ゲート線2を形成するアルミニウムと非腐食性金属パターン3を露出させた。次いで、図9に示すように、ソース電極8とドレイン電極9の材料であるチタン/アルミニウム(Ti/Al)の2層を用い、スパッタリング法によってソース電極8、ドレイン電極9と同時にコンタクト金属パターン15を形成し、このコンタクト金属パターン15によってゲート線2と非腐食性金属パターン3とを接続した。尚、この時のエッチングによって基板切断予定線11の近傍のアルミニウムが除去される。最後に、図10に示すように、第3絶縁体層10を成膜し、パターン化した。その結果、図10のようにゲート線2の端面が第3絶縁体層10によって覆われ、基板切断予定線11でカットしても、ゲート線2のアルミニウムが外部に露出しない構成となった。

【0027】本実施例は、ソース配線にもアルミニウムを用いた薄膜トランジスタアレイ基板に関するものである。このようにソース配線にもアルミニウムを用いることにより、第1の実施例と比較してさらに大容量・大画面の薄膜トランジスタアレイ基板に本実施例を適用することが可能となる。

【0028】以上のような構成を有する薄膜トランジスタアレイ基板と対向ガラス基板とを組み合わせ、ガラス基板の切断後に液晶注入を行い液晶表示素子を作製した。そして、この液晶表示素子の高温動作試験を行い、従来の薄膜トランジスタアレイ基板で作製した液晶表示素子と比較評価したところ、第1の実施例と同様の結果が得られ、ソース電極8にアルミニウムを用いても信頼性の高い液晶表示素子を作製することができた。

【0029】尚、上記第1又は第2の実施例においては、アルミニウムを用いてゲート線2を形成しているが、必ずしもこの構成に限定されるものではなく、ゲート線2の材料はアルミニウムを主成分とする金属であればよい。

【0030】

【発明の効果】以上説明したように、本発明に係るアクティブマトリックスアレイ基板の第1の構成によれば、アルミニウム（A1）又はアルミニウムを主成分とする金属で形成された走査線（ゲート線）に非腐食性金属パターンが接続されて外部に取り出され、かつ、前記走査線（ゲート線）と前記非腐食性金属パターンとの接続点が絶縁体層の内部に存するようにされていることにより、走査線（ゲート線）を形成するアルミニウム又はアルミニウムを主成分とする金属が外部に露出することはないので、長時間経過しても基板端面で配線の腐食が発生することはない。その結果、信頼性の高い液晶表示素子を提供することができる。

【0031】また、本発明に係るアクティブマトリックスアレイ基板の第2の構成によれば、アルミニウム（A1）又はアルミニウムを主成分とする金属で形成された走査線（ゲート線）に信号線（ソース線）と同時に形成されるパターンを介して非腐食性金属パターンが接続されて外部に取り出され、かつ、前記信号線（ソース線）と同時に形成されるパターンと前記非腐食性金属パターンとの接続点が絶縁体層の内部に存するようにされていることにより、信号線（ソース線）にもアルミニウム（A1）又はアルミニウムを主成分とする金属を用いることができるので、さらに大容量・大画面のアクティブマトリックスアレイ基板に適用することが可能となる。

【0032】また、本発明に係るアクティブマトリックスアレイ基板の製造方法によれば、絶縁基板の主平面上に走査線（ゲート線）を種膜状態で形成した後、陽極酸化工程前にアクティブマトリックスアレイ基板の断断予定線の内側近傍から断断予定線を交差するように前記走査線（ゲート線）上の一部にレジストを塗布し、信号線（ソース線）形成工程のエッチングによって前記走査線（ゲート線）の一部を除去した後、前記走査線（ゲート線）を、前記アクティブマトリックスアレイ基板の断断予定線の内側近傍から断断予定線を交差する非腐食性金属パターンによって置換するようにしたことにより、基板断断予定線でカットしても、走査線（ゲート線）を形成するアルミニウム又はアルミニウムを主成分とする金属が外部に露出することのないアクティブマトリックスアレイ基板を効率良く合理的に作製することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の薄膜トランジスタ基板の第1の作製工程図

【図2】本発明の第1の実施例の薄膜トランジスタ基板の第2の作製工程図

【図3】本発明の第1の実施例の薄膜トランジスタ基板の第3の作製工程図

【図4】本発明の第1の実施例の薄膜トランジスタ基板の第4の作製工程図

【図5】本発明の第1の実施例の薄膜トランジスタ基板の第5の作製工程図

【図6】本発明の第2の実施例の薄膜トランジスタ基板の第1の作製工程図

【図7】本発明の第2の実施例の薄膜トランジスタ基板の第2の作製工程図

【図8】本発明の第2の実施例の薄膜トランジスタ基板の第3の作製工程図

【図9】本発明の第2の実施例の薄膜トランジスタ基板の第4の作製工程図

【図10】本発明の第2の実施例の薄膜トランジスタ基板の第5の作製工程図

【図11】従来のアクティブマトリックス型液晶表示素子の概略構成を示す分解斜視図である。

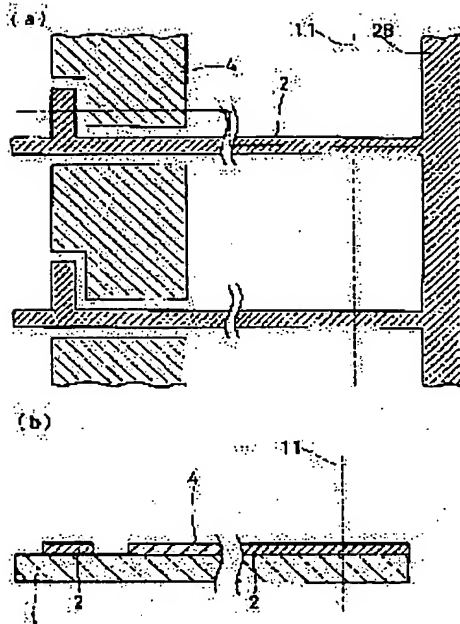
【図12】従来の薄膜トランジスタ基板上のゲート線とソース線の概略構成を示す平面図である。

【図13】従来の薄膜トランジスタ基板上のゲート線パターンの概略構成を示す平面図である。

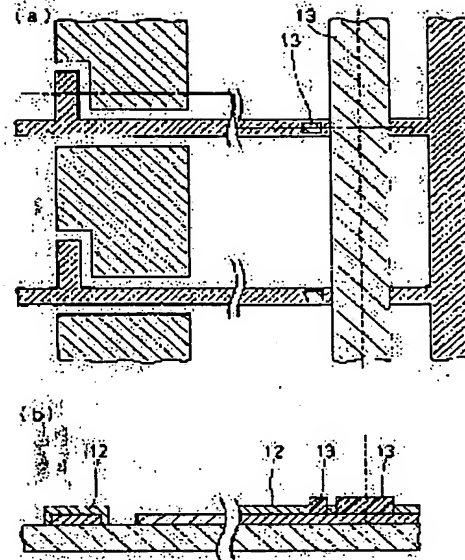
【符号の説明】

- 10 アレイ基板
- 2 ゲート線
- 3 非腐食性金属パターン
- 4 画素電極
- 5 第1絶縁体層
- 6 半導体層
- 7 第2絶縁体層
- 8 ソース電極
- 9 ドレイン電極
- 10 第3絶縁体層
- 11 基板断断予定線
- 12 陽極酸化膜
- 13 フォトリソグ
- 14 開口部
- 15 コンタクト金属パターン
- 16 光源
- 17 薄膜トランジスタアレイ基板（TFTアレイ基板）
- 18 走査線（ゲート線）
- 19 信号線（ソース線）
- 20 画素電極
- 21 薄膜トランジスタ（TFT）
- 22 液晶層
- 23 対向ガラス基板
- 24 透明電極膜
- 25 遮光層（ブラックマトリックス）
- 26 偏光板
- 27 基板断断線
- 28 化成電源供給ライン

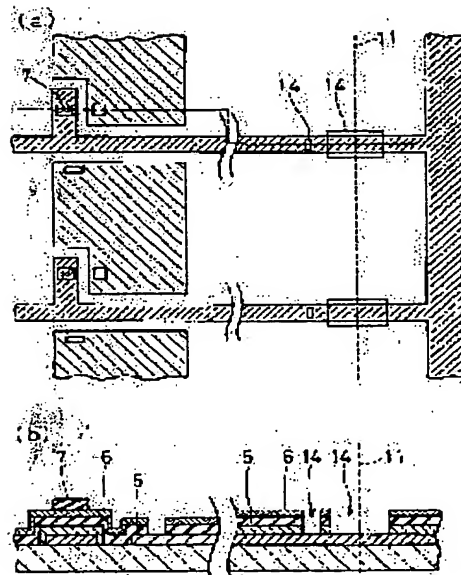
【図1】



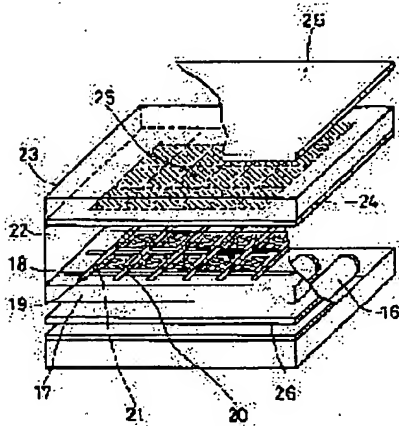
【図2】



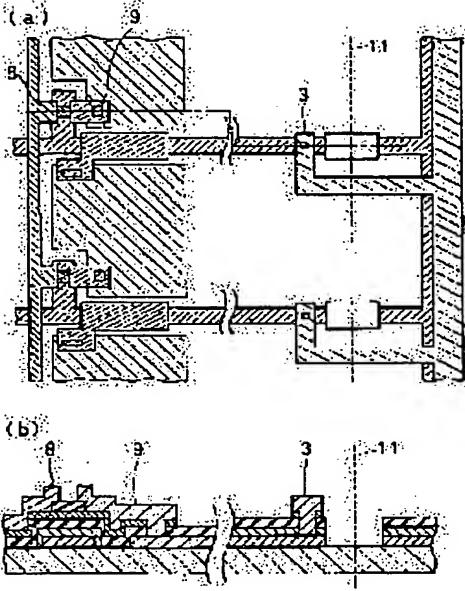
【図3】



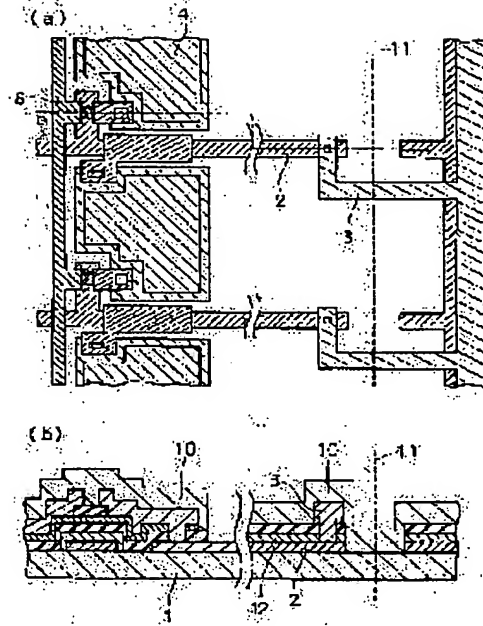
【図4】



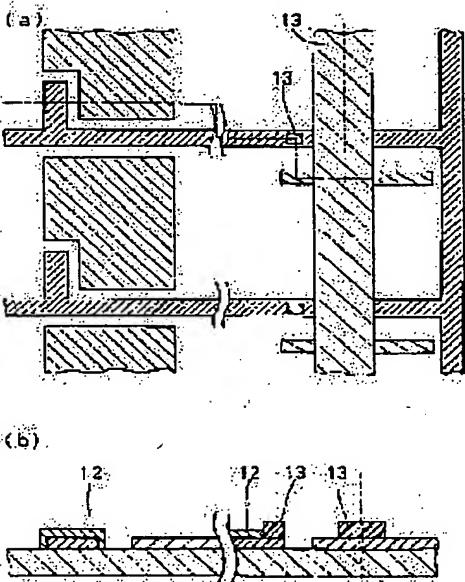
【图 4】



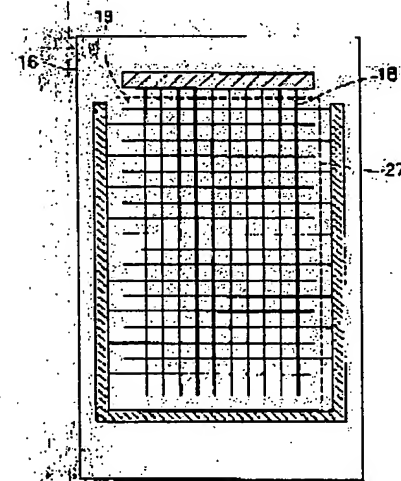
【图 5】



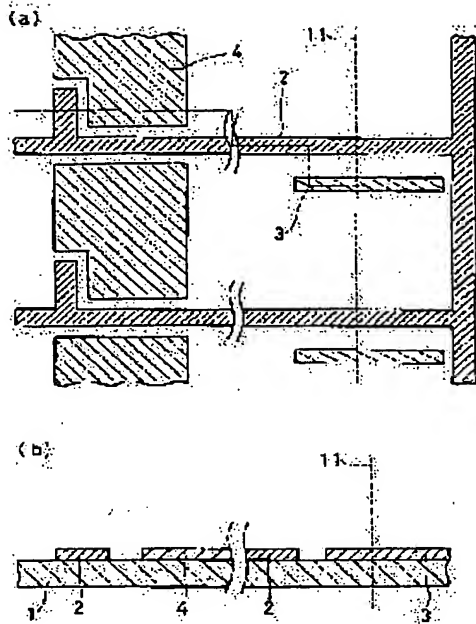
【图 7】



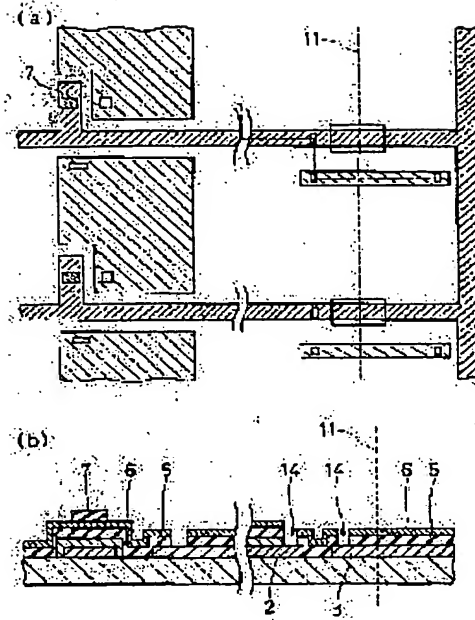
【图 1.2】



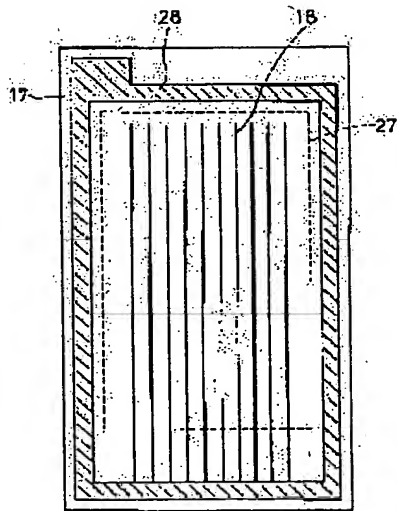
【図 5】



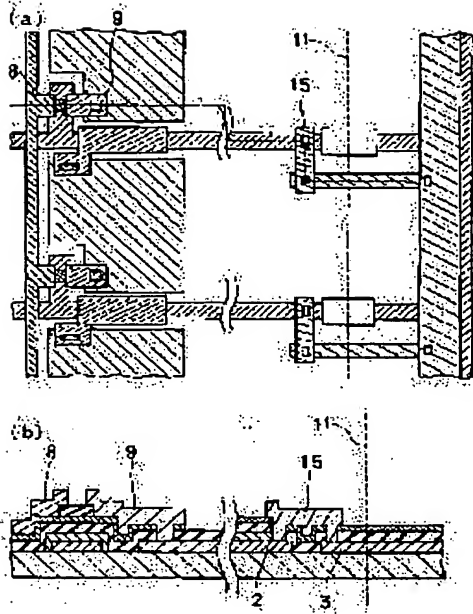
【図 6】



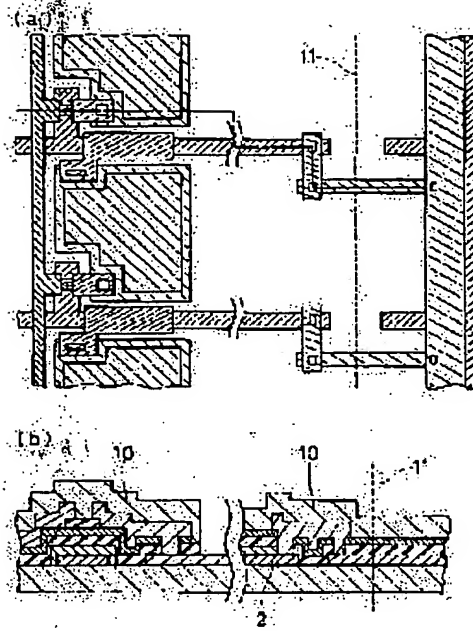
【図 13】



【図 9】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.